

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-042281

(43)Date of publication of application : 24.02.1987

(51)Int.Cl.

G06F 15/72
G06F 3/153

(21)Application number : 60-182123

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 20.08.1985

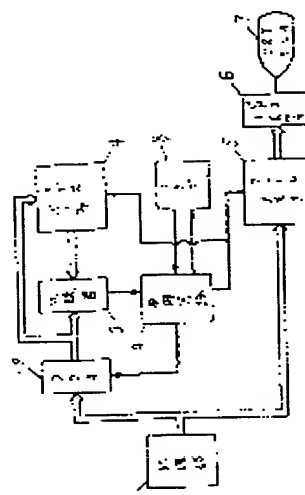
(72)Inventor : MAEJIMA MICHIO

(54) GRAPHIC DISPLAY DEVICE

(57)Abstract:

PURPOSE: To omit comparison/decision processing and to process a hidden surface at a high speed by providing a flag in 1-bit correspondence to each coordinates of a depth buffer and a means which controls the depth buffer and a frame memory.

CONSTITUTION: A processing part 1 produces successively the 3-dimensional coordinates of the picture element strings of the sides forming a polygon and delivers them to a digital and differential analyzer DDA2. At the same time, the part 1 delivers control or luminance data to a frame memory 5. Here a flag 8 is provided in 1-bit correspondence to each coordinate of a depth buffer 4. While a control circuit 9 controls the flag 8, the buffer 4 and the memory 5. Thus it is possible to decide with reference to the flag 8 whether the Z coordinates of a display pattern are stored or not in the buffer 4. Then writing is possible to both the buffer 4 and the memory 5. As a result, a hidden surface can be processed at a high speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-42281

⑤ Int. Cl.⁴

G 06 F 15/72
3/153

識別記号

庁内整理番号

6615-5B
7341-5B

④ 公開 昭和62年(1987)2月24日

審査請求 未請求 発明の数 1 (全3頁)

⑪ 発明の名称 グラフィックディスプレイ装置

⑬ 特 願 昭60-182123

⑭ 出 願 昭60(1985)8月20日

⑯ 発 明 者 前 島 道 雄 横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑰ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑱ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

グラフィックディスプレイ装置

2. 特許請求の範囲

各画素の奥行きデータを格納するデブスバッファと、各画素に対応しかつ前記デブスバッファに図形の奥行き、データが書き込まれていない場合にOFFにするフラグとを備え、新たに画素に奥行きデータが入ってきたとき、画素に対応するフラグがOFFの場合、奥行きデータを前記デブスバッファの画素に対応する座標に書き込み、フラグをONにするとともに、画素に対応するフラグがONの場合、前記バッファの画素に対応する座標からデータを読み出して前記画素の奥行きデータと比較を行ない、画素の奥行きデータの方が小さければその奥行きデータを前記デブスバッファに書き込むようにしたことを特徴とするグラフィックディスプレイ装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、グラフィックディスプレイ装置の特に画面処理装置に関するものである。

従来の技術

第3図は従来の画面処理装置の構成を示している。第3図において、1は処理部であり、多角形を構成している辺であるところの画素列の3次元座標を順次生成してDDA(digital differential analyzer)2に出力し、また色あるいは輝度データをフレームメモリ5に出力する。DDA2は、多角形内部の各画素のZ座標(デブス値)を順次補間する。

3は比較器であり、DDA2とデブスバッファ4の値の比較を行なう。デブスバッファ4は、CRT画面のすべての画素に対するZ値を記憶する容量を有するメモリである。例えばCRT画面が1280×1024の画素から成り各画素のZ座標を10ビットで表わすものとする、1280×1024のメモリセルの配列構造をもつメモリレーンが10枚必要となる。5はフレームメモリであり、デブスバッファ4と同じ構造であるが、

プレーン数は必ずしも同じである必要はない。このフレームメモリ5には、処理部1の出力である色あるいは輝度データを記憶する。θはビデオコントローラであり、CRTモニターに水平・垂直同期信号とフレームメモリ5の出力をD/A変換した信号を供給するものである。CRTモニターは、ビデオコントローラの出力信号により画面上に画像を表示するものである。

一般に、3次元空間内の図形は多角形の集合(曲面は多角形近似する)で表わされる。隠面処理は多角形のうちに視点から見える部分と見えない部分とを区別する作業である。

第4図は、3角形 V_1 、 V_2 、 V_3 を例にして第3図の動作の説明をするものである。第4図の座標は、画面上の座標(スクリーン座標)を表わしている。第4図において、2点 $P_n(X_n, Y_n, Z_n)$ 、 $P'_n(X'_n, Y'_n, Z'_n)$ は同一走査線上にあり、この2点 P_n 、 P'_n の座標値は第3図の処理部1からDDA2に出力される。このとき、線分 $P_nP'_n$ 上の各座標は点 P_n を基点として、X座標に

なり。さらに、角形 V_1 、 V_2 、 V_3 内のすべての走査線について処理を行なうことにより、3角形 V_1 、 V_2 、 V_3 内のすべての画素の見え・隠れの判定が終了する。表示すべき図形のすべての面について上記処理を行えば、隠面処理された図形がCRTモニター上に表示されることになる。

発明が解決しようとする問題点

しかしながら、上記従来の隠面処理装置では、処理すべき画素に対するデブスバッファのデータがクリアされていても、そのデータを読み出して比較判定を行なう必要があったために多くの処理時間が必要であった。本発明はこのような従来の問題を解決するものであり、高速な隠面処理を行うグラフィックディスプレイ装置を提供することを目的とするものである。

問題点を解決するための手段

本発明は上記目的を達成するためにデブスバッファの各座標に1ビット対応したフラグと、前記フラグとデブスバッファとフレームメモリの制御回路を備えたものである。

X、Z座標にεを加えることによりX軸方向にインクレメンタルに順次求まる。ただし、 $\epsilon = (Z'_n - Z_n) / (X'_n - X_n)$ である。点 P_n からn番目の点 Q_n の座標は $Q_n(X_n + n, Y_n, Z_n + n\epsilon)$ となる。 Q_n のZ座標は比較器3に送られる。それと並行してデブスバッファ4でスクリーン座標 $(X_n + n, Y_n)$ に対応するアドレスからデータを読み出して Q_n のZ座標と比較する。もし、 Q_n のZ座標が小さい場合、すなわち Q_n がより視点に近い場合、

- (1) デブスバッファ4の $(X_n + n, Y_n)$ に対応するアドレスにZ座標を書込み、かつ、
- (2) フレームメモリ5の $(X_n + n, Y_n)$ に対応するアドレスに処理部1より出力されるデータを書込む。

Q_n のZ座標の方が大きい場合は、デブスバッファ4、フレームメモリ5に書込みは行なわない。このように、3角形 V_1 、 V_2 、 V_3 内の点 Q_n の見え・隠れが判定される。この動作をインクレメンタルに求まる P_n 、 P'_n 上のすべての点について行

作 用

したがって、本発明によれば、フラグを参照することによってデブスバッファに表示図形のZ座標が格納されているかどうかの判定が可能で、表示図形のZ座標が格納されていない場合には比較判定を行わずにデブスバッファとフレームメモリに書き込みができ、隠面処理が高速化できるといふ効果を有する。

実施例

第1図は本発明の一実施例の構成を示すものである。第1図において1～7は第3図と対応するものであり同じ番号で示す。θはフラグであり、表示画面の各画素に1ビットずつ対応している。θは制御回路であり、フラグθと比較器3からデータを取り込みデブスバッファ4、フレームメモリ5、DDA2の制御を行なう。

第2図は第1図のフラグθの説明図である。第2図aは画面上に表示されている図形を表わし、bはフラグθのデータを表わしている。図形が表示されている画素に対応するフラグは「1」、そ

の他は「0」である。

次に上記実施例の動作について説明する。制御回路9は、処理すべき画素に対するフラグをフラグ8より読み込む。

(1) フラグ＝「0」のとき、画素P Iには図形あるいは図形の一部分は表示されていない。このことは、画素P Iでは新たな図形は必ず表示されることになる。したがって、DDA2の出力をデブスバッファ4に書き込むと同時に色あるいは輝度データをフレームメモリ5に書き込む。そして画素P Iに対するフラグを「1」にする。

(2) フラグ＝「1」のとき、従来例と同様に、デブスバッファ4の出力とDDA2の出力の比較を行ない、その比較結果でデブスバッファ4とフレームメモリ5への書き込み制御を行なう。

このように、上記実施例によれば、フラグ8を読み出して「0」のとき制御回路9からデブスバッファ4とフレームメモリ5に書き込み信号が出

力されるため、デブスバッファ4の出力とDDA2の出力の比較を行なう必要がない。

発明の効果

本発明は上記実施例より明らかなように、フラグの内容を参照してフラグ＝「0」のとき比較判断の処理を省くものであり、画面処理速度の向上がはかれるという効果を有する。

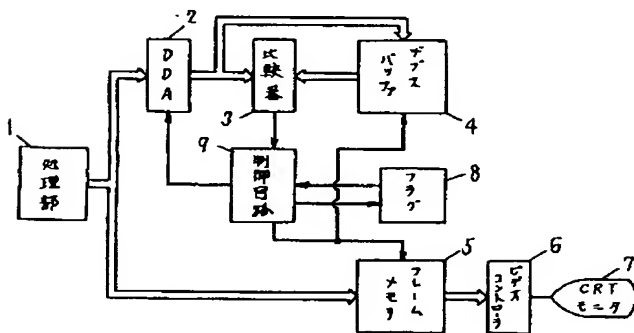
4、画面の簡単な説明

第1図は本発明の一実施例におけるグラフィックディスプレイ装置の画面処理装置のブロック図、第2図a、bは同装置のフラグの説明のための模式図及びマトリクス図、第3図は従来の画面処理装置のブロック図、第4図は同装置の動作説明のための座標図である。

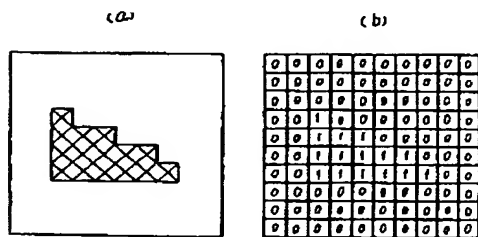
1……処理部、2……DDA、3……比較器、4……デブスバッファ、5……フレームメモリ、6……ビデオコントローラ、7……CRTモニタ、8……フラグ、9……制御回路。

代理人の氏名 弁理士 中 尾 敏 男 はか1名

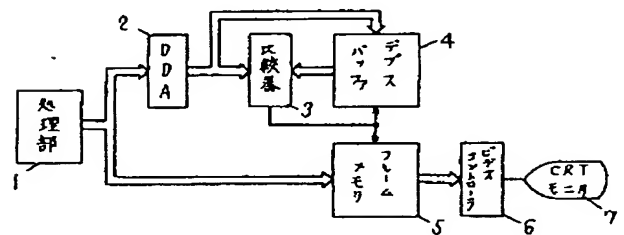
第 1 図



第 2 図



第 3 図



第 4 図

